

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Eiji Nishibe et al.

Art Unit : Unknown

Serial No. :

Examiner : Unknown

Filed : August 31, 2001

Title : SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Commissioner for Patents

Washington, D.C. 20231



#5 / Priority
paper
4-22-02
Ratke

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s):

· Japan Application No. 2000-318807 filed October 19, 2000

· Japan Application No. 2000-318805 filed October 19, 2000

A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Chris T. Mizumoto

Reg. No. 42,899

Date: August 31, 2001

Fish & Richardson P.C.
45 Rockefeller Plaza, Suite 2800
New York, New York 10111
Telephone: (212) 765-5070
Facsimile: (212) 258-2291

30065236.doc

CERTIFICATE OF MAILING BY EXPRESS MAIL

Express Mail Label No. EF353814359US

I hereby certify under 37 CFR §1.10 that this correspondence is being deposited with the United States Postal Service as Express Mail Post Office to Addressee with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

August 31, 2001

Date of Deposit

Francisco Robles
Signature

Francisco Robles

Typed or Printed Name of Person Signing Certificate

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1002 U.S. PTO
09/944452
08/31/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月19日

出 願 番 号

Application Number:

特願2000-318807

出 願 人

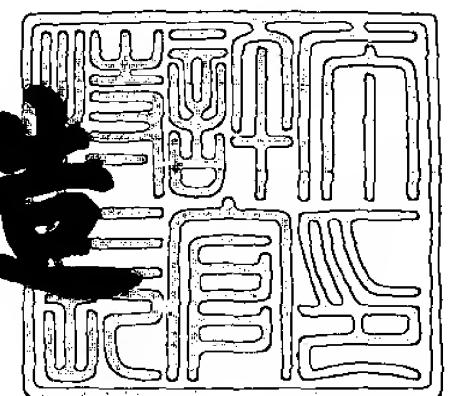
Applicant(s):

三洋電機株式会社

2001年 8月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3068989

【書類名】 特許願

【整理番号】 KIA1000074

【提出日】 平成12年10月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式
 会社内

 【氏名】 西部 栄次

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式
 会社内

 【氏名】 菊地 修一

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 近藤 定男

【代理人】

 【識別番号】 100111383

 【弁理士】

 【氏名又は名称】 芝野 正雅

 【連絡先】 電話 0 3 - 3 8 3 7 - 7 7 5 1 法務・知的財産部
 東京事務所

【手数料の表示】

 【予納台帳番号】 013033

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

特 2 0 0 0 - 3 1 8 8 0 7

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 一導電型の半導体基板上に第 1、第 2 のゲート酸化膜を介して形成されたゲート電極と、当該ゲート電極に隣接するように形成された逆導電型の低濃度及び高濃度のソース・ドレイン領域とを有する半導体装置において、

低濃度のソース・ドレイン領域の拡散領域幅が、少なくともドレイン領域側よりもソース領域側が狭くなるように形成されていることを特徴とする半導体装置。

【請求項 2】 一導電型の半導体基板上に第 1、第 2 のゲート酸化膜を介して形成されたゲート電極と、当該ゲート電極に隣接するように形成された逆導電型の低濃度及び高濃度のソース・ドレイン領域とを有する半導体装置において、

前記ゲート電極の両端に隣接し、かつその拡散領域幅が少なくともドレイン領域側よりもソース領域側が狭くなるように形成された低濃度のソース・ドレイン領域と、

前記ゲート電極の一端に隣接するように形成された高濃度のソース領域と前記ゲート電極の他端から所定間隔を有するように形成された高濃度のドレイン領域とを具備したことを特徴とする半導体装置。

【請求項 3】 一導電型の半導体基板上的ソース形成領域上に第 1 の開口を有し、ドレイン形成領域上に前記第 1 の開口よりも広い第 2 の開口を有する第 1 のレジスト膜を形成する工程と、

前記第 1 のレジスト膜をマスクにして前記基板に逆導電型の第 1 の不純物をイオン注入した後に当該不純物を拡散させて逆導電型の低濃度のソース・ドレイン領域を形成する工程と、

前記基板上に形成した耐酸化性膜をマスクに選択酸化して所定領域に素子分離膜を形成すると共に第 1 のゲート酸化膜を形成した後に、当該素子分離膜及び第 1 のゲート酸化膜以外の領域に第 2 のゲート酸化膜を形成する工程と、

前記第 1 のゲート酸化膜から第 2 のゲート酸化膜上に跨るようにゲート電極を形成する工程と、

前記低濃度のソース領域上に第 3 の開口を有し、前記低濃度のドレイン領域上に前記ゲート電極の他端部から離間された領域に第 4 の開口を有する第 2 のレジスト膜を形成する工程と、

前記第 2 のレジスト膜、前記ゲート電極、前記素子分離膜及び前記第 1 のゲート酸化膜をマスクにして前記基板に逆導電型の第 2 の不純物をイオン注入して逆導電型の高濃度のソース・ドレイン領域を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 4】 前記低濃度のソース・ドレイン領域を形成する工程が、リンイオンから成る前記第 1 の不純物をイオン注入し拡散させて成るものであり、高濃度のソース・ドレイン領域を形成する工程が、ヒ素イオンから成る前記第 2 の不純物をイオン注入して成るものであることを特徴とする請求項 3 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置とその製造方法に関し、更に言えば、駆動能力の低下を抑えつつ、動作耐圧の向上を図る技術に関する。

【 0 0 0 2 】

【従来の技術】

図 5 は従来の半導体装置を説明するための断面図である。

【 0 0 0 3 】

図 5 において、5 1 は一導電型、例えば P 型の半導体基板で、当該基板 5 1 上にゲート酸化膜 5 2 を介してゲート電極 5 3 が形成され、当該ゲート電極 5 3 に隣接するように片側 LDD 構造のソース・ドレイン領域が形成されている。即ち、ソース領域側には前記ゲート電極 5 3 に隣接するように高濃度（N+型）のソース領域 5 5 が形成され、ドレイン領域側には前記ゲート電極 5 3 に隣接するように低濃度（N-型）のドレイン領域 5 4 が形成され、当該低濃度のドレイン領域 5 4 内に高濃度（N+型）のドレイン領域 5 6 が形成された片側 LDD 構造のソース・ドレイン領域を有する半導体装置である。

【 0 0 0 4 】

【発明が解決しようとする課題】

上述したようなドレイン領域側にしか高電圧が印加されない片側 L D D 構造の半導体装置において、ドレイン領域側には、電界が集中するのを緩和するために前述したように高濃度のドレイン領域 5 6 を低濃度のドレイン領域 5 4 で囲む構造にし、耐圧が必要ないソース領域側は高濃度のソース領域 5 5 だけにしていた。

【 0 0 0 5 】

このような構造の半導体装置であっても静的な耐圧に関しては、特に問題にする必要はなかった。しかし、動作時には、以下に説明する問題が発生していた。

【 0 0 0 6 】

即ち、ソース領域（エミッタ領域）、基板（ベース領域）、そしてドレイン領域（コレクタ領域）から成るバイポーラ構造において、エミッタ領域は高濃度のソース領域 5 5 が剥き出しのため、キャリアの注入効率が良く、少ない基板電流（ I_{sub} ）で容易にバイポーラトランジスタがオンしてしまう。

【 0 0 0 7 】

つまり、バイポーラトランジスタにおける電流利得 β が高いため、両側 L D D 構造の半導体装置に比して動作時のドレイン耐圧が低下してしまう。

【 0 0 0 8 】

ここで、一般的に用いられている両側 L D D 構造を採用すれば電流利得 β が下がり確かに耐圧はもつが、本来、ソース側は耐圧を必要としないにもかかわらず、ソース側にも通常の L D D 構造を採用することで、図 5 に示すようなドレイン側と同様のドリフト領域の距離（ L ）を持つことになり、オン抵抗が上昇し、駆動能力が低下することになる。

【 0 0 0 9 】

【課題を解決するための手段】

そこで、上記課題に鑑みて本発明の半導体装置は、一導電型の半導体基板上に第 1、第 2 のゲート酸化膜を介して形成されたゲート電極に隣接するように形成された逆導電型の低濃度及び高濃度のソース・ドレイン領域とを有するものにお

いて、低濃度のソース・ドレイン領域の拡散領域幅が、少なくともドレイン領域側よりもソース領域側が狭くなるように形成され、高濃度のソース領域が前記ゲート電極の一端に隣接するように形成され、かつ高濃度のドレイン領域が前記ゲート電極の他端から所定間隔を有するように形成されていることを特徴とする。

【 0 0 1 0 】

また、その製造方法は、前記基板上のソース形成領域上に第 1 の開口を有し、ドレイン形成領域上に前記第 1 の開口よりも広い第 2 の開口を有する第 1 のレジスト膜を形成し、当該第 1 のレジスト膜をマスクにして前記基板に逆導電型の第 1 の不純物をイオン注入した後に当該不純物を拡散させて逆導電型の低濃度のソース・ドレイン領域を形成する。次に、前記基板上に形成した耐酸化性膜をマスクに選択酸化して所定領域に素子分離膜を形成すると共に第 1 のゲート酸化膜を形成した後に、当該素子分離膜及び第 1 のゲート酸化膜以外の領域に第 2 のゲート酸化膜を形成し、当該第 1 のゲート酸化膜から第 2 のゲート酸化膜上に跨るようにゲート電極を形成する。続いて、前記低濃度のソース領域上に第 3 の開口を有し、前記低濃度のドレイン領域上に前記ゲート電極の他端部から離間された領域に第 4 の開口を有する第 2 のレジスト膜を形成した後に、当該第 2 のレジスト膜、前記ゲート電極、前記素子分離膜及び前記第 1 のゲート酸化膜をマスクにして前記基板に逆導電型の第 2 の不純物をイオン注入して逆導電型の高濃度のソース・ドレイン領域を形成する工程とを具備したことを特徴とする。

【 0 0 1 1 】

このとき、前記低濃度のソース・ドレイン領域を形成する工程が、リンイオンから成る前記第 1 の不純物をイオン注入し拡散させて成るものであり、高濃度のソース・ドレイン領域を形成する工程が、ヒ素イオンから成る前記第 2 の不純物をイオン注入して成るものであることを特徴とする。

【 0 0 1 2 】

これにより、低濃度のソース領域内の極近傍に高濃度のソース領域を形成することができ、いわゆる L D D 構造のような低濃度領域内にドリフト領域の距離を持った状態で、高濃度領域が形成されるものに比して、その駆動能力の低下を抑えつつ、動作時におけるドレイン耐圧を向上させることができる。

【 0 0 1 3 】

【発明の実施の形態】

以下、本発明の半導体装置とその製造方法に係る一実施形態について図面を参照しながら説明する。

【 0 0 1 4 】

本発明の半導体装置は、図 4 に示すように一導電型、例えば P 型の半導体基板 1 上に第 1 のゲート酸化膜 4 A から第 2 のゲート酸化膜 5 に跨るようにゲート電極 6 が形成されている。また、前記ゲート電極 6 の一端（第 1 のゲート酸化膜 4 A の一端部）に隣接するように低濃度（L N 型）のソース領域 3 A が形成され、当該低濃度のソース領域 3 A 内の極近傍に高濃度（N + 型）のソース領域 8 A が形成されている。そして、前記ゲート電極 6 の他端（第 1 のゲート酸化膜 4 A の他端部）に隣接するように低濃度（L N 型）のドレイン領域 3 B が形成され、当該低濃度のドレイン領域 3 B 内の前記第 1 のゲート酸化膜 4 A の一端部に隣接するように高濃度（N + 型）のドレイン領域 8 B が形成されている。

【 0 0 1 5 】

このように本発明の半導体装置は、低濃度のソース・ドレイン領域 3 A, 3 B の拡散領域幅が、少なくともドレイン領域側よりもソース領域側が狭くなるように形成され、高濃度のソース領域 8 A が前記低濃度のソース領域 3 A 内の極近傍に形成されていることを特徴とする。

【 0 0 1 6 】

そして、このような構成を採用することで、従来のようなソース・ドレイン領域とも略対称な低濃度のソース・ドレイン領域を有する L D D 構造の半導体装置に比してドリフト領域を持たないため、その駆動能力の低下を抑えつつ、電流利得 β のみを引き下げることができる。従って、動作時におけるドレイン耐圧を向上させることができる。

【 0 0 1 7 】

以下、上記半導体装置の製造方法について図面を参照しながら説明する。

【 0 0 1 8 】

まず、図 1 において、P 型の半導体基板 1 上に形成したレジスト膜（P R） 2

をマスクにしてN型の不純物をイオン注入し、当該レジスト膜2を除去した後に前記不純物を熱拡散させて低濃度のN型（LN型）のソース・ドレイン領域3A、3Bを形成する。このとき、図1に示すように前記レジスト膜2は、その開口幅が少なくともドレイン形成領域側よりもソース形成領域側が狭くなるように形成されたものを用いて、リンイオンをおよそ100KeVの加速電圧で、およそ $6 \times 10^{12} / \text{cm}^2$ の注入量でイオン注入した後に、1100℃で4時間の熱拡散処理を施している。

【0019】

続いて、図2において、前記基板1上に不図示のパッド酸化膜及び所定領域（第1のゲート酸化膜形成領域及び素子分離膜形成領域）に開口を有する耐酸化性膜としてのシリコン窒化膜を形成した後に、当該シリコン窒化膜をマスクにして周知なLOCOS法により選択酸化しておよそ1000nmの膜厚の第1のゲート酸化膜4A及び素子分離膜4Bをそれぞれ形成する。更に、前記パッド酸化膜及びシリコン窒化膜を除去した後に、前記第1のゲート酸化膜4A及び素子分離膜4Bが形成されていない基板1上を熱酸化しておよそ150nmの膜厚の第2のゲート酸化膜5を形成する。そして、前記基板1上におよそ400nmの膜厚のポリシリコン膜を形成し、当該ポリシリコン膜を導電化処理した後に、不図示のレジスト膜をマスクにパターニングして前記第1のゲート酸化膜4Aから第2のゲート酸化膜5に跨るようにゲート電極6を形成する。このとき、ゲート電極6が形成された以外の基板1上の第2のゲート酸化膜5は除去される。

【0020】

更に、図3において、前記基板1上に形成したレジスト膜7をマスクにして、前記ゲート電極6の一端部に隣接するようにN型の不純物をイオン注入し、また前記ゲート電極6の他端部から離間され、かつ前記第1のゲート酸化膜4Aの一端部に隣接するようにN型の不純物をイオン注入して、前記低濃度のソース領域3A内の極近傍に高濃度（N+型）のソース領域8Aを形成すると共に、前記低濃度のドレイン領域3B内の前記第1のゲート酸化膜4Aの一端部に隣接するように高濃度（N+型）のドレイン領域8Bを形成する。このとき、ヒ素イオンをおよそ80KeVの加速電圧で、およそ $6 \times 10^{15} / \text{cm}^2$ の注入量でイオン注

入している。

【 0 0 2 1 】

そして、図 4 に前記レジスト膜 7 を除去した状態の半導体装置を示す。以下図示した説明は省略するが、全面に層間絶縁膜を形成し、前記ソース・ドレイン領域にコンタクトするように当該層間絶縁膜にコンタクト孔を形成した後に、当該コンタクト孔を介してソース・ドレイン電極を形成する。

【 0 0 2 2 】

このように本発明の製造方法では、前述したように前記基板 1 表層に形成した低濃度のソース領域 3 A 内の極近傍に高濃度のソース領域 8 A を（図 5 に示すようなドリフト領域の距離（L）を持たせずに）形成することができ、従来の両側 LDD 構造の半導体装置にみられるドリフト領域の距離（L）に起因する駆動能力の低下（オン抵抗が上昇する）という問題を抑止でき、電流利得 β のみを引き下げることができる。従って、動作時におけるドレイン耐圧を向上させることができる。

【 0 0 2 3 】

尚、本実施形態では、本発明を N チャネル型 MOS トランジスタに適用した例を開示したが、P チャネル型 MOS トランジスタに適用しても良い。

【 0 0 2 4 】

【発明の効果】

本発明によれば、低濃度のソース領域内の極近傍に高濃度のソース領域を（従来のようなドリフト領域の距離を持たせずに）形成することができ、従来の両側 LDD 構造の半導体装置にみられるドリフト領域の距離に起因して、その駆動能力が低下するという問題を抑止でき、電流利得 β のみを引き下げることができ、動作時におけるドレイン耐圧を向上させることができる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 2】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 3】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 4】

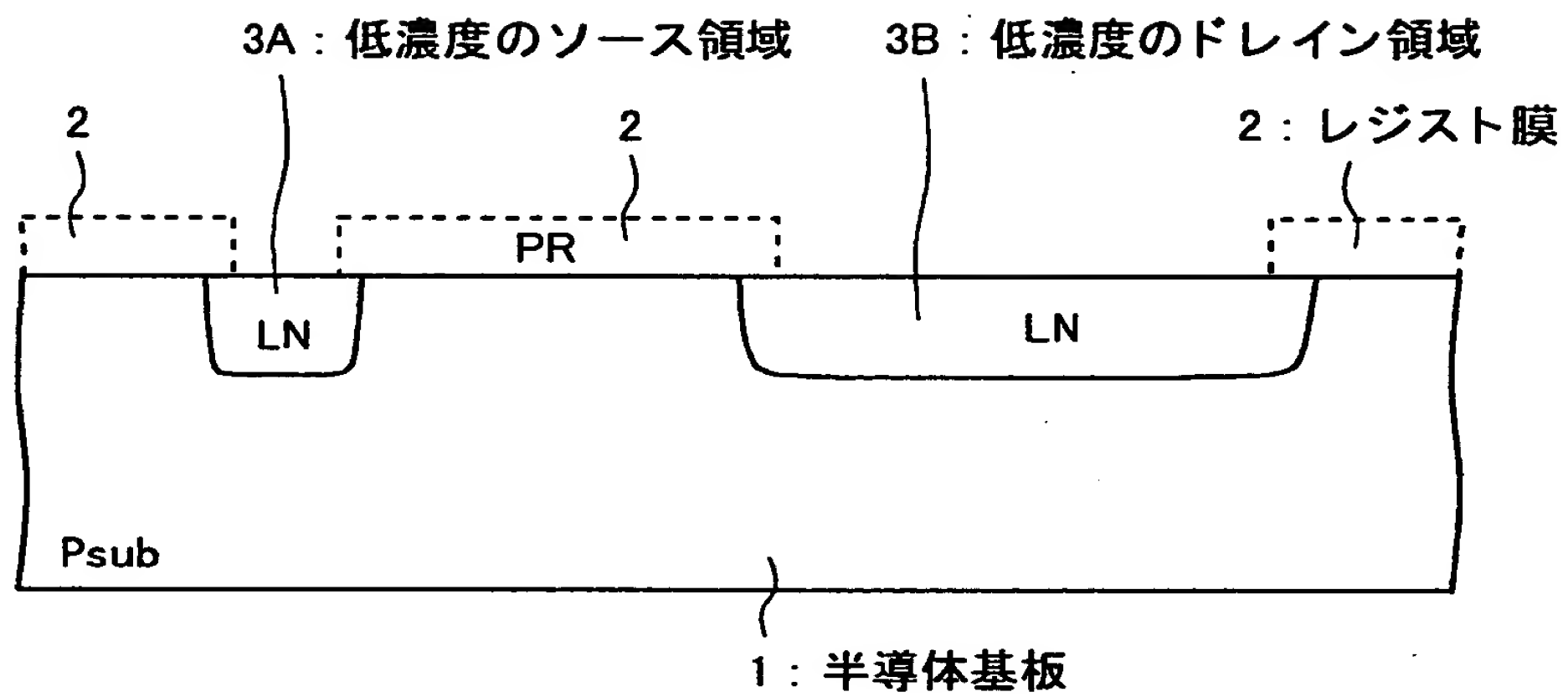
本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 5】

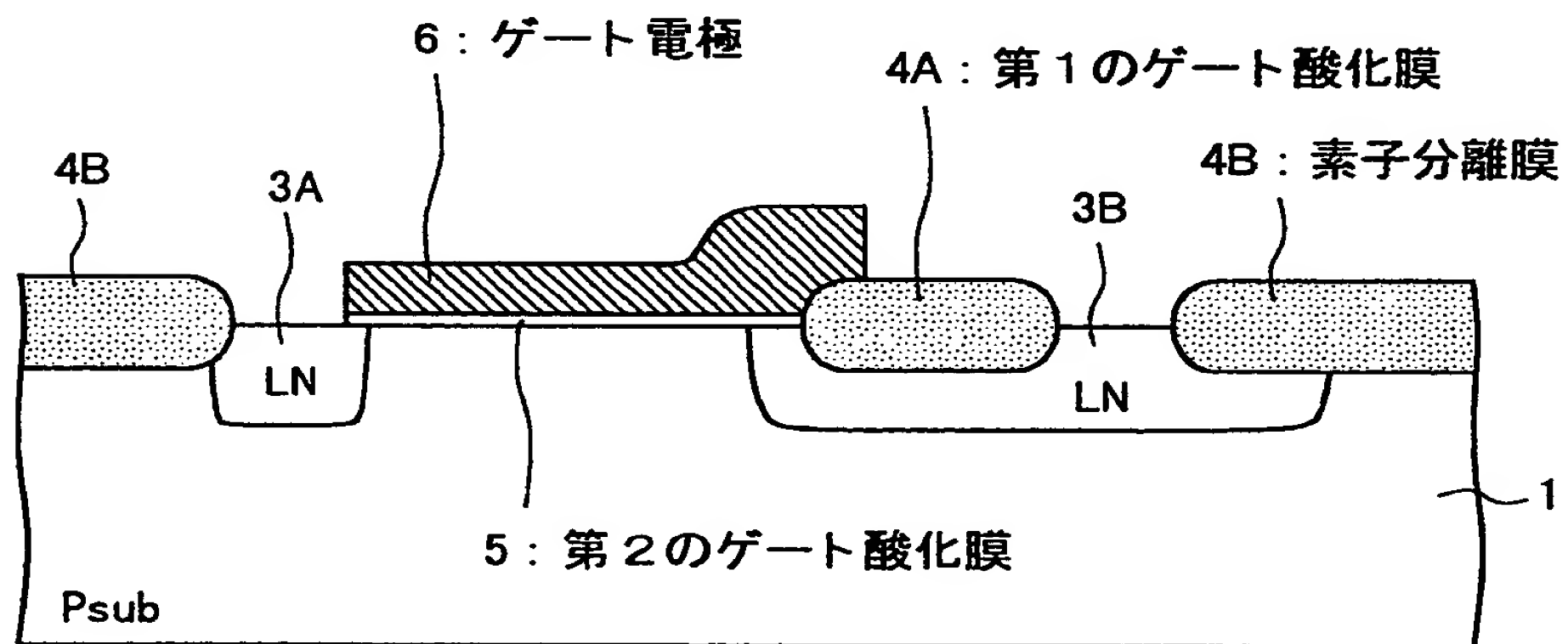
従来の半導体装置を示す断面図である。

【書類名】 図面

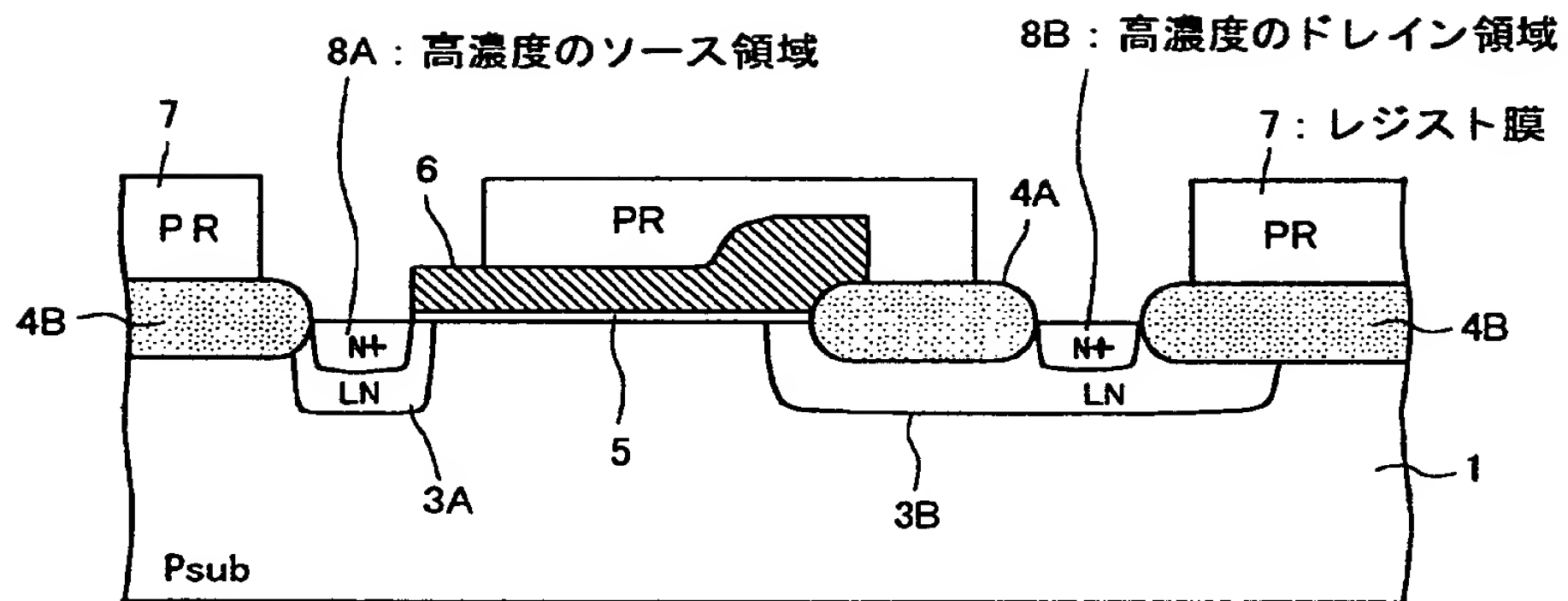
【図 1】



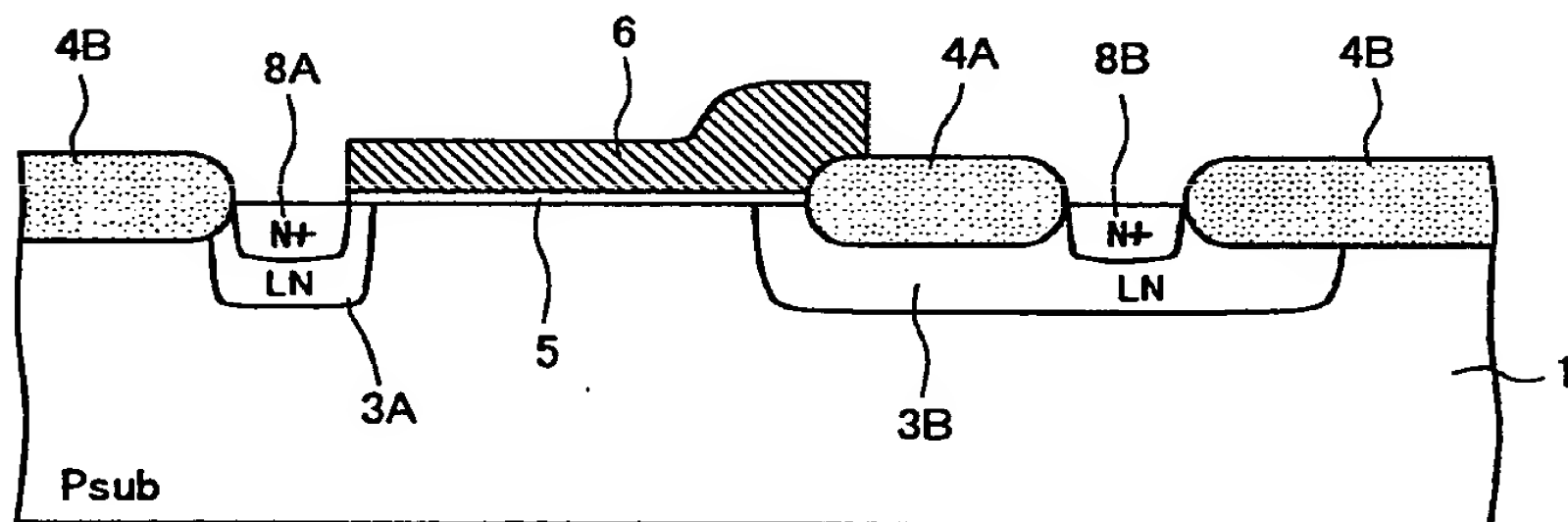
【図 2】



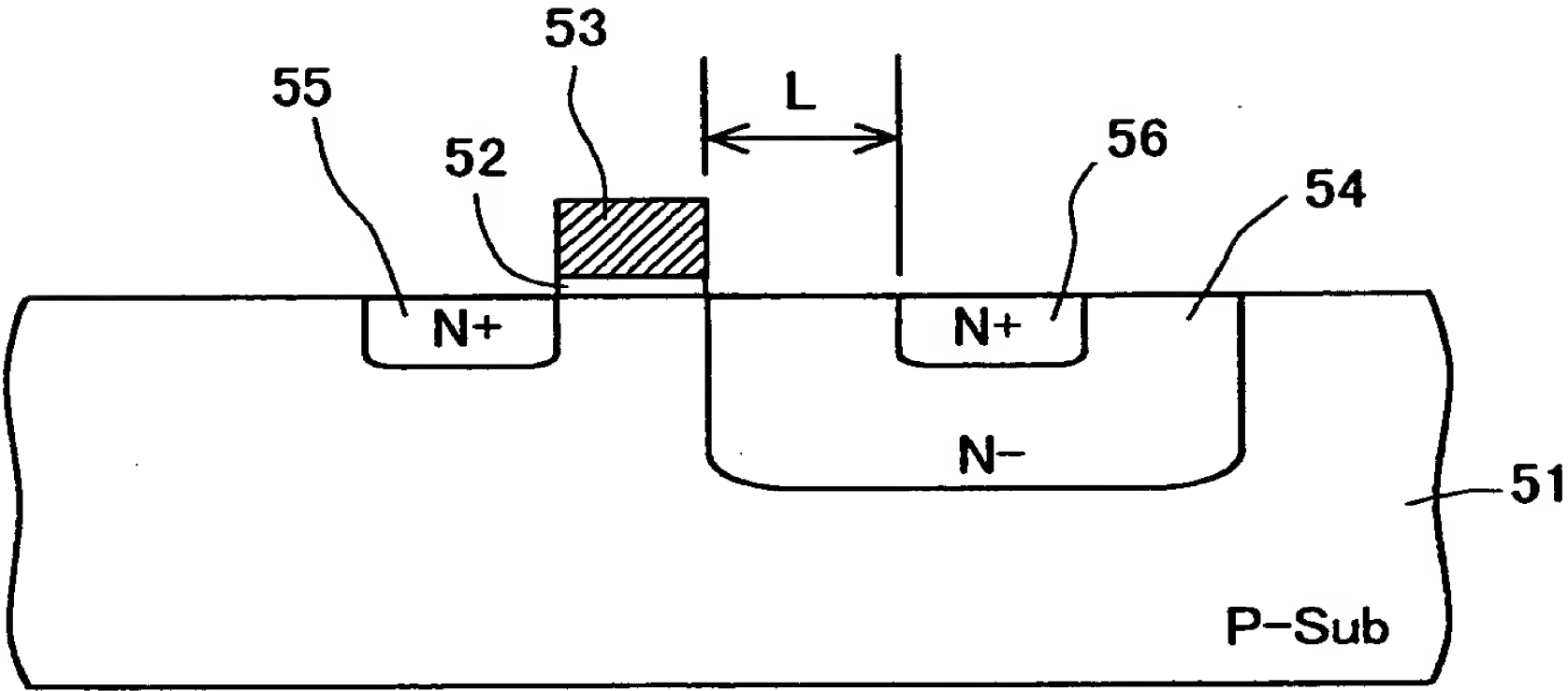
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 動作時のドレイン耐圧を向上させる。

【解決手段】 本発明の半導体装置は、半導体基板上に第 1、第 2 のゲート酸化膜を介して形成されたゲート電極に隣接するように形成された低濃度及び高濃度のソース・ドレイン領域とを有するものにおいて、低濃度のソース・ドレイン領域 3 A、3 B の拡散領域幅が、少なくともドレイン領域側よりもソース領域側が狭くなるように形成され、高濃度のソース領域 8 A が前記ゲート電極 6 の一端に隣接するように形成され、かつ高濃度のドレイン領域 8 B が前記ゲート電極 6 の他端から所定間隔を有するように形成されていることを特徴とする。

【選択図】 図 4

特2000-318807

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日
[変更理由] 住所変更
住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社